112 邏輯設計實驗二

Lab 3 8-bit Up/down Counter Design (type I)

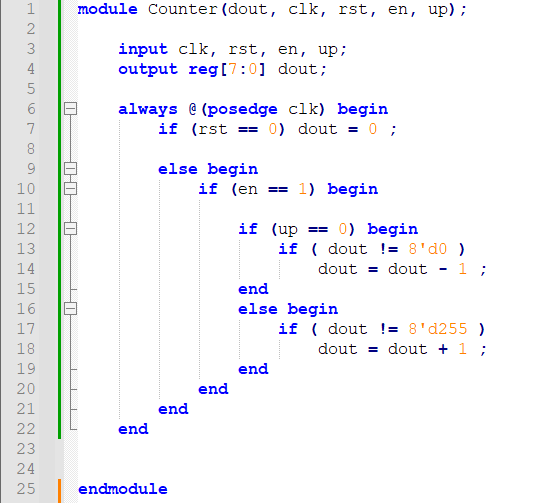
實驗報告

組別：第三組

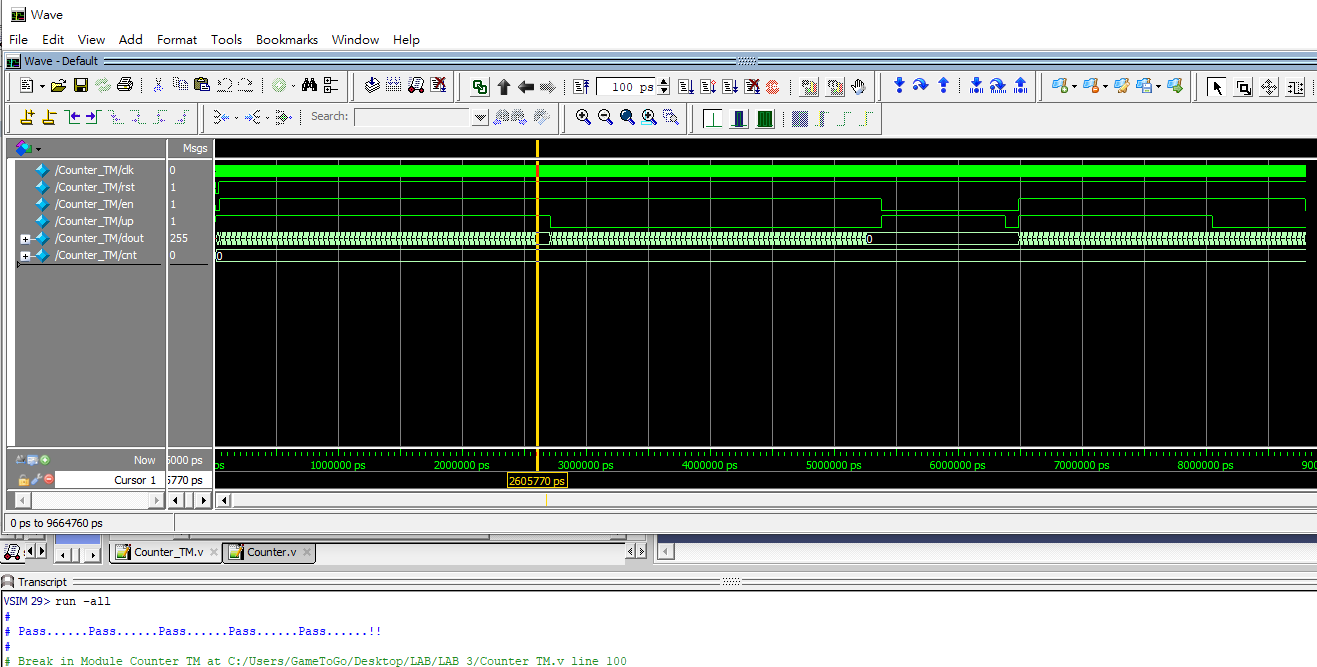
學號：10927202/10927207

姓名：陽彩柔/蒲品憶

1. Verilog Code



2.模擬waveform



一張含有 吉他 的圖片

自動產生的描述

一張含有 光線 的圖片

自動產生的描述

說明：此8-bit計數器在

1. clk正源向上且rst = 0會初始化dout=0
2. en = 1, up = 0, dout != 8’d0時會將dout減1
3. en = 1, up = 1, dout != 8’d255時會將dout加1

當以上兩個條件都不符何時會保留原本的dout值。

3.心得報告

陽彩柔：我覺得這次的實驗相對簡單，在過程中，我們發生了一些趣事，我們把dout加減的條件式寫反，以至於我們一開始以為寫錯了，接下來是一件我們原本以為沒有什麼差別的小事情，就是在看wave圖時，我們通常都會用Decimal但在實驗時，發現會有正負問題，之後去問了助教才知道要用unsigned，因為沒有用unsigned的話會把最高位元的1當成是負數，以至於我們的dout在127時變成-127，透過助教的講解，讓我了解到自己不會注意的小細節，並知道以後看wave時要用unsigned看數字才不會出錯。

蒲品憶：這次實驗比起前兩次又更加簡單，我覺得有很大一部分是老師允許我們使用循序邏輯的方式撰寫，這種寫法就類似我們平常在寫C語言，因此比較熟悉。這次只有出現三個小錯誤，第一個是我們將dout想得太複雜，另外設了一個count做加減法儲存，作法沒錯但是將count設成wire應該在always的是reg才對；第二個是在up的判斷條件寫顛倒，蠻搞笑的；最後一個我覺得是比較有意義的問題，就是在看wave時我們將數字改成decimal，觀察到數字從127後會變成-127~，數字不符很奇怪，於是跑去問助教，後來才知道應該要用unsigend去看才是對的，因為decimal會分配成正負一半127~-127之類的，unsigend才是正的2^7:0~255，我覺得觀察到這個現象還蠻有意義的，也因為又知道一件以前沒注意到的事情很開心。